

# PATENT ABSTRACTS OF JAPAN

(11) Publication number : 09-198875

(43) Date of publication of application : 31.07.1997

(51) Int. Cl.

G11C 11/413

G11C 11/417

(21) Application number : 08-005781 (71) Applicant : MITSUBISHI ELECTRIC CORP

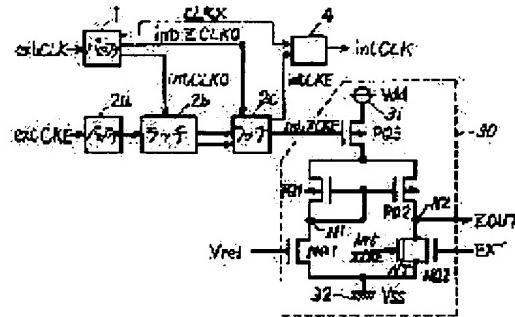
(22) Date of filing : 17.01.1996 (72) Inventor : TANIMURA MASAAKI  
KONISHI YASUHIRO

## (54) SYNCHRONOUS TYPE SEMICONDUCTOR MEMORY

### (57) Abstract:

**PROBLEM TO BE SOLVED:** To realize an S (synchronous)DRAM capable of fast operation with a lower consumption of current.

**SOLUTION:** An external clock enable signal extCKE is fetched according to a first internal clock signal IntCLK0 from a clock buffer circuit 1 and an input buffer enable signal is generated to be applied to an input buffer circuit 30. The current path of the input buffer circuit 30 is cut according to the input buffer enable signal intZCKE0. The state of the input buffer enable signal is changed synchronizing the rising of the internal buffer enable signal to secure the set up time of an external signal sufficiently thereby reducing the consumption of current of the input buffer circuit 30.



### LEGAL STATUS

[Date of request for examination] 10.12.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against

[examiner's decision of rejection]  
[Date of extinction of right]

Copyright (C) ; 1998, 2003 Japan Patent Office

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-198875

(43) 公開日 平成9年(1997)7月31日

(51) Int.Cl.<sup>6</sup>

G 11 C 11/413  
11/417

識別記号

府内整理番号

F I

G 11 C 11/34

技術表示箇所

J

305

審査請求 未請求 請求項の数8 O L (全20頁)

(21) 出願番号

特願平8-5781

(22) 出願日

平成8年(1996)1月17日

(71) 出願人

000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者

谷村 政明

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(72) 発明者

小西 康弘

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74) 代理人

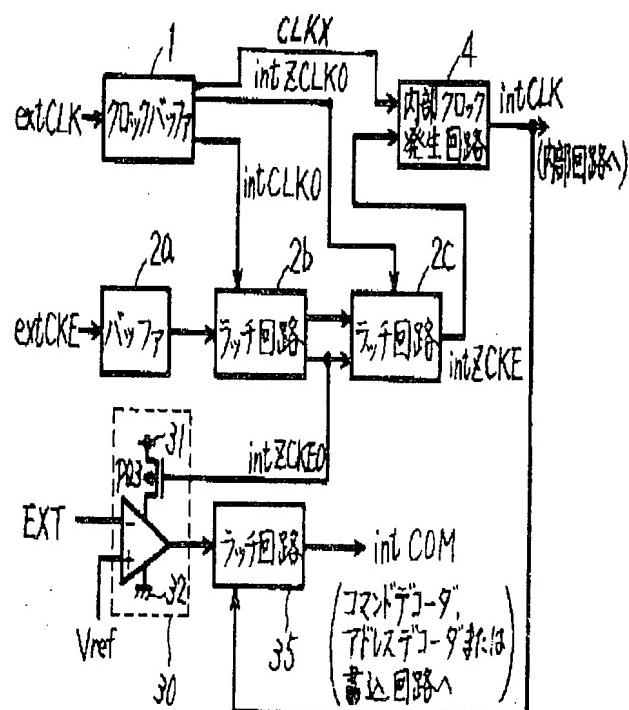
弁理士 深見 久郎 (外3名)

(54) 【発明の名称】 同期型半導体記憶装置

(57) 【要約】

【課題】 低消費電流で高速動作するSDRAMを実現する。

【解決手段】 クロックバッファ回路(1)からの第1の内部クロック信号(int ZCLK0)に従って外部クロックイネーブル信号(ext ZCKE)を取り、入力バッファイネーブル信号(int ZCKEO)に従ってその電流経路が遮断される。内部クロック信号の立ち上がりに同期して入力バッファイネーブル信号の状態を変化させているため、外部信号のセットアップ時間を十分確保して、入力バッファ回路の消費電流を低減することができる。



### 【特許請求の範囲】

【請求項1】 外部から与えられる外部クロック信号に同期して動作する同期型半導体記憶装置であって、前記外部クロック信号に従って第1の内部クロック信号を生成するクロックバッファ手段、前記外部クロック信号の有効を指示する外部から与えられる外部クロックイネーブル信号を前記第1の内部クロック信号に同期して読み込み前記外部クロックイネーブル信号の活性化時活性状態とされる入力バッファイネーブル信号を生成して出力するラッチ手段、前記入力バッファイネーブル信号を遅延して内部クロックイネーブル信号を生成するクロックイネーブル手段、前記内部クロックイネーブル信号の活性化時に活性状態とされ、前記外部クロック信号に従って第2の内部クロック信号を生成する内部クロック生成手段、および前記入力バッファイネーブル信号の活性化時活性状態とされて前記外部クロック信号および前記外部クロックイネーブル信号と異なる外部から与えられる信号をバッファ処理する入力バッファ手段を備え、前記入力バッファ手段は第1および第2の電源供給ノード上の電圧を動作電源電圧として動作しつつ前記入力バッファイネーブル信号の非活性化時前記第1および第2の電源供給ノード間の電流が流れる経路を遮断する手段を含み、さらに前記第2の内部クロック信号に同期して前記入力バッファ手段の出力信号をラッチして内部信号を生成する内部信号生成手段を備える、同期型半導体記憶装置。

【請求項2】 外部から与えられる、第1の電位レベルと第2の電位レベルとの間で変化する外部クロック信号に同期して動作する同期型半導体記憶装置であって、前記外部クロック信号に従って第1の内部クロック信号を生成するクロックバッファ手段。

前記外部クロック信号の有効を指示する外部から与えられる外部クロックイネーブル信号を、前記第1の内部クロック信号の前記第1の電位レベルから前記第2の電位レベルへの変化に同期してラッチしつつ出力するラッチ手段、

前記ラッチ手段の出力信号を遅延して内部クロックイネーブル信号を生成するクロックイネーブル手段、第1および第2の電源供給ノードの間に結合され、前記ラッチ手段の出力信号に応答して前記第1および第2の電源ノード間の電流が流れる経路が選択的に遮断され、かつ電源供給ノード間の導通時動作して外部から与えられる信号をバッファ処理する入力バッファ手段、

前記内部クロックイネーブル信号の活性化時活性化され、前記外部クロック信号に従って第2の内部クロック信号を生成するクロック生成手段、および前記ラッチ手段と実質的に同一の構成を有し、前記入力バッファ手段からの信号を前記第2の内部クロック信号の前記第1の電位レベルから前記第2の電位レベルへの変化に応答してラッチして内部信号を生成する内部信号生成手段を備

える、同期型半導体記憶装置。

【請求項3】 前記ラッチ手段は、前記外部クロックイネーブル信号をバッファ処理するバッファ回路と、

前記バッファ回路の出力信号を受けるように結合され、前記第1の内部クロック信号が前記第2の電位レベルのときに前記バッファ回路の出力信号を通過させるスルー状態となり、かつ前記第1の内部クロック信号が前記第1の電位レベルのときに、前記バッファ回路から与えられた信号にかかわらず、その出力信号の状態を保持するラッチ状態とされる第1のラッチと、

前記第1のラッチに結合され、前記第1の内部クロック信号が前記第1の電位レベルのときに前記ラッチ状態となりかつ前記第1の内部クロック信号が前記第2の電位レベルのときに前記スルー状態とされる第2のラッチを備える、請求項1または2記載の同期型半導体記憶装置。

【請求項4】 前記クロックイネーブル手段は、前記第1の内部クロック信号に同期して前記ラッチ手段と相補的にラッチ状態とされるラッチ回路を備える、請求項1ないし3のいずれかに記載の同期型半導体記憶装置。

【請求項5】 前記クロックバッファ手段は、前記外部クロック信号をバッファ処理するバッファ回路と、

前記バッファ回路の出力信号の第1の電位レベルから第2の電位レベルへの変化に同期して前記第1のレベルから前記第2の電位レベルへ変化する信号を生成して前記第1の内部クロック信号を生成する手段を備える、請求項1ないし4のいずれかに記載の同期型半導体記憶装置。

【請求項6】 前記バッファ回路の出力信号を遅延して前記第1の内部クロック信号生成手段へ与える遅延回路をさらに備える、請求項5記載の同期型半導体記憶装置。

【請求項7】 前記ラッチ手段は、前記バッファ回路と前記第1のラッチとの間に設けられる遅延回路をさらに備える、請求項3記載の同期型半導体記憶装置。

【請求項8】 前記入力バッファ手段と前記内部信号生成手段の間に設けられる遅延回路をさらに備える、請求項1ないし7のいずれかに記載の同期型半導体記憶装置。

### 【発明の詳細な説明】

#### 【0001】

【発明の属する技術分野】 この発明は、外部から与えられるクロック信号に同期して動作するクロック同期型半導体記憶装置に関し、特に、クロック同期型半導体記憶装置の外部信号を受ける入力バッファの構成に関する。

#### 【0002】

【従来の技術】 マイクロプロセッサとメモリとの動作速度の差を解消するために、さまざまな高速アクセス可能

なメモリLSI（大規模集積回路）が提案されている。これらのメモリLSIは、いずれも、外部クロック信号に同期してデータの入出力を実行することにより、実効的なデータ転送速度を速くすることを特徴としている。このような外部クロック信号に同期して動作する同期型メモリの1つに、シンクロナスDRAM（以下、SDRAMと称す）がある。このSDRAMは、メモリセルが、通常、1キャパシタ／1トランジスタ型のダイナミック型メモリセルで構成される。

【0003】図13は、従来のSDRAMの外部ピン端子の配置の一例を示す図である。図13において、矩形型のパッケージ（T S O P : thin small outline package）の長辺方向に沿った両側に外部ピン端子が配置される。このパッケージの長辺方向両端に、電源電圧Vddを受けるピン端子P1およびP23ならびに接地電圧Vssを受けるピン端子P2およびP24が配置される。電源ピン端子P1および接地ピン端子P2に隣接して、データ入出力を実行するためのピン端子P3、P4…P7およびP8が配置される。これらのデータ入出力ピン端子P3、P4、P7およびP8の間に、データ入出力を実行するバッファ回路に利用される接地電圧VssQおよび電源電圧VddQをそれぞれ供給するピン端子P5、P6、P9およびP10が配置される。

【0004】パッケージ中央部付近に、外部からの制御信号を受けるピン端子P11～P17が配置される。ピン端子P11へは、ライトイネーブル信号ZWEが与えられる。ピン端子P13へは、コラムアドレスストローブ信号ZCASが与えられる。ピン端子P15へは、ロウアドレスストローブ信号ZRASが与えられる。ピン端子P17へは、チップセレクト信号ZCSが与えられる。ピン端子P12へは、後に説明する入力バッファにおける外部信号のハイレベルおよびローレベルの判定基準となる基準電位Vrefが与えられる。この基準電位Vrefは、また内部回路において他の形態で利用されてもよい。

【0005】ピン端子P14へは、このSDRAMの動作タイミングを規定する外部クロック信号CLKが与えられる。ピン端子P16へは、この外部クロック信号CLKの有効／無効を規定するクロックイネーブル信号CKEが与えられる。ピン端子P18へは、何ら外部信号は与えられず、ノーコネクション（NC）状態となる。パッケージの下部のピン端子P19、P20～P21およびP22へは、外部からのアドレス信号Adが与えられる。

【0006】標準のDRAMと異なり、SDRAMにおいては、クロック信号CLKの立上がり時ににおける外部制御信号ZWE、ZCAS、ZRAS、ZCSの状態により、実行される内部動作が規定される。その動作様について、次に図14を参照して説明する。図14

(a)に示すように、クロック信号CLKの立上がりエッジ

において、チップセレクト信号ZCSおよびロウアドレスストローブ信号ZRASをLレベルに設定しつつコラムアドレスストローブ信号ZCASおよびライトイネーブル信号ZWEをHレベルに指定すると、アクティブコマンドが与えられ、このSDRAMの内部動作が活性化される。すなわち、このアクティブコマンドに従って、SDRAMにおいて、アドレス信号Xが取込まれ、このアドレス信号Yに従ってメモリセル選択動作が開始される。

【0007】図14(b)に示すように、クロック信号CLKの立上がりエッジにおいて、チップセレクト信号ZCSおよびコラムアドレスストローブ信号ZCASをLレベルに設定しつつロウアドレスストローブ信号ZRASおよびライトイネーブル信号ZWEをHレベルに設定すると、リードコマンドが与えられ、データ読出モードが指定される。このリードコマンドが与えられると、アドレス信号Yが取込まれ、SDRAMにおいては、このアドレス信号Yに従ってメモリセルの列選択動作が行なわれ、選択された行および列のメモリセルのデータQが出力される。通常、このリードコマンドが与えられたら、「ZCASレイテンシー」と呼ばれるクロックサイクル期間が経過した後に、有効データQが出力される。図14(b)においては、ZCASレイテンシーが1の場合の状態を示す。

【0008】図14(c)に示すように、クロック信号CLKの立上がりエッジにおいて、チップセレクト信号ZCS、コラムアドレスストローブ信号ZCAS、およびライトイネーブル信号ZWEをLレベルに設定し、ロウアドレスストローブ信号ZRASをHレベルに設定すると、ライトコマンドが与えられる。このライトコマンドが与えられると、SDRAMのデータ書き込み動作が指定され、このライトコマンドが与えられたクロックサイクルにおけるデータDがSDRAMに取込まれてアドレス信号X、Yにより指定された内部の選択メモリセルへ書き込まれる。

【0009】図14(d)に示すように、クロック信号CLKの立上がりエッジにおいて、チップセレクト信号ZCS、ロウアドレスストローブ信号ZRASおよびライトイネーブル信号ZWEをLレベルに設定し、コラムアドレスストローブ信号ZCASをHレベルに設定すると、プリチャージコマンドが与えられる。このプリチャージコマンドが与えられると、SDRAMは、内部がプリチャージ状態に復帰し、選択状態とされたメモリセルがすべて非選択状態とされる。またSDRAMの内部回路はすべてプリチャージ状態（スタンバイ状態）に復帰する。

【0010】このクロック信号CLKの立上がりエッジに同期して外部信号、すなわち外部制御信号、アドレス信号、および書き込みデータを装置内部へ取込むことにより、外部信号のスキーなどによるタイミングマージン

を考慮する必要がなく、高速で内部動作を開始することができ、高速アクセスが可能となる。また、データ入出力をクロック信号CLKに同期して行なうため、データ書込／読出を高速で行なうことができる。ここで、通常SDRAMにおいては、リードコマンドまたはライトコマンドを与えると、その時に与えられたアドレス信号(ヤアドレス)に従ってバースト長と呼ばれる数のデータを連続して読出または書込をすることができる。

【0011】図15は、SDRAMの内部構成を概略的に示すブロック図である。図15において、SDRAMは、外部クロック信号extCLKをバッファ処理するクロックバッファ1と、外部クロックイネーブル信号extCKEをクロックバッファ1の出力信号に同期して読み込みラッチして内部クロックイネーブル信号intCKEを生成するCKEバッファ回路2と、内部クロックイネーブル信号intCKEの活性化時活性状態とされ、クロックバッファ1の出力信号に従って内部クロック信号intCLKを生成する内部クロック発生回路4を含む。内部クロック発生回路4は、この内部クロックイネーブル信号intCKEの非活性化時、すなわち外部(内部)クロック信号の無効状態を示すときには、内部クロック信号intCLKをLレベルに固定する。

【0012】SDRAMは、さらに、内部クロック信号intCLKの立ち上がりに同期して、外部からの信号ZCS、ZRAS、ZCAS、およびZWEを取り込みかつラッチして内部制御信号を生成する外部信号入力バッファ回路6と、この外部信号入力バッファ回路6からの内部制御信号に従って指定された動作モードを指定する信号を発生するコマンドデコーダ8と、コマンドデコーダ8からの内部動作モード指定信号に従って必要とされる内部制御信号を発生する内部制御信号発生回路10を含む。この内部制御信号発生回路10は、また内部クロック信号intCLKに同期して動作し、各種内部制御信号をこの内部クロック信号intCLKに従って活性／非活性状態とする。

【0013】SDRAMは、さらに、行列状に配列される複数のメモリセルMCを含むメモリセルアレイ12と、内部クロック信号intCLKに同期して外部からのアドレス信号ビットAdd0～Addnを取り込み内部アドレス信号を生成するアドレスバッファ回路14と、内部制御信号発生回路10からの内部制御信号に応答して活性状態とされてアドレスバッファ回路14からの内部行アドレス信号Xをデコードし、メモリセルアレイ12の対応の行を選択する行選択系回路16と、内部制御信号発生回路10からの内部制御信号に応答して活性状態とされてアドレスバッファ回路14からの内部列アドレス信号Yに従ってメモリセルアレイ12の列を選択する列選択系回路18と、内部制御信号発生回路10の制御のもとに、装置内部とデータの入出力を行なうデータ入力バッファ回路20と、内部制御信号発生回路10の制

御のもとに、メモリセルアレイ12の選択されたメモリセルとデータ入出力バッファ回路20との間でデータの授受を行なう書込／読出回路22を含む。メモリセルアレイ12においては、メモリセルの各行に対応してワード線WLが配置され、メモリセルMCの各列に対応してビット線対BLPが配置される。

【0014】行選択系回路16は、行アドレス信号XをデコードするXデコーダ、Xデコーダの出力信号に従って選択ワード線WLを選択状態へ駆動するワード線ドライバ、およびこの選択ワード線WLに接続されるメモリセルMCのデータを検知、増幅およびラッチするセンスアンプおよびセンスアンプの活性／非活性を制御する回路を含む。列選択系回路18は、ビット線対BLPそれぞれに対応して設けられるIOゲート、および列アドレス信号YをデコードするYデコーダを含む。

【0015】書込／読出回路22は、それぞれデータ書込用およびデータ読出用のための複数のレジスタを含み、内部制御信号発生回路10から与えられる書込／読出指示信号に応答して内部クロック信号intCLKに同期して、データの書込／読出を実行する。上述のように、SDRAMにおいて内部動作タイミングは、すべて内部クロック信号intCLKにより決定される。クロックイネーブル信号intCKEにより内部クロック信号intCLKをLレベルに固定した場合、外部信号(外部書込データ、アドレス信号ビットおよび外部制御信号)の取込は行なわれず、また内部制御信号発生回路10は、先のクロックサイクルの状態を維持する。内部信号の状態変化は生じず、したがって信号線の充放電は行なわれず、消費電流が低減される。

【0016】図16は、この外部クロックイネーブル信号extCKEの作用を説明するための図である。図16(A)に示すように、クロックサイクル0において、外部クロックイネーブル信号extCKEがHレベルのときには、次のクロックサイクル1において外部クロック信号extCLKに同期して内部クロック信号intCLKが生成される。クロックサイクル0における内部クロック信号intCLKの状態は前のクロックサイクルの信号extCKEの状態により決定される。

【0017】クロックサイクル1において、外部クロック信号extCLKの立ち上がりエッジにおいて、外部クロックイネーブル信号extCKEをLレベルに設定すると、次のクロックサイクル2において、内部クロックintCLKがLレベルに固定される。すなわち、クロックサイクル2において、内部クロック信号intCLKの立上がりが禁止される。したがってこのクロックサイクル2において、SDRAMは、クロックサイクル1と同じ状態を保持する。図16(B)は、データ書込／読出時における外部クロックイネーブル信号extCKEの利用を説明するための図である。図16(B)においては、外部の制御信号ZCS、ZRAS、ZCASお

よりZWEは、まとめてコマンドとして示す。

【0018】クロックサイクル1において、外部クロックイネーブル信号 $e \times t$ CKEをHレベルとし、かつライトコマンドを与えると、この外部クロック信号 $e \times t$ CLKの立上がりエッジでデータD0が取込まれる。クロックサイクル2において、外部クロックイネーブル信号 $e \times t$ CKEをLレベルに設定すると、クロックサイクル3における内部クロック信号の発生が停止される。この状態においては、クロックサイクル2においてデータD1が取込まれて、またクロックサイクル3においては、外部クロック信号 $e \times t$ CLKが立上がっても、内部クロック信号が発生されていないため、データD2の取込は行なわれない。したがって外部の制御装置であるCPU（中央処理装置）は、次のクロックサイクルにおいても同じデータD2を与える。これにより、クロックサイクル4において、内部クロック信号が発生されてデータD2の取込が行なわれ、次いでクロックサイクル5においてデータD3の取込が実行される。ここで、図16（B）においては、バースト長は4に設定された場合が一例として示される。ここで、バースト長とは、ライトコマンドまたはリードコマンドが与えられたとき、連続して書込または読出すことのできるデータの数を示す。したがって、データ書込時において、外部クロックイネーブル信号 $e \times t$ CKEを1クロックサイクル期間Lレベルとすることにより、データD2の有効状態を長くして、データD3の書込タイミングを1クロックサイクル遅らせることができる。CPUが、書込データD3を準備していない場合においても、このデータD3が生成されるまで書込タイミングを遅らせることができる。

【0019】この外部クロックイネーブル信号 $e \times t$ CKEを利用することにより、外部クロック信号 $e \times t$ CLKの立上がりエッジで、連続して書込データを与え、クロックサイクル4においてデータD3を書込むべき場合に、データD3が準備されていない場合においても、このデータD3が準備されるまで書込状況を遅らせることができ、外部のCPUの動作タイミングに合わせてデータの書込を行なうことができる。またクロックサイクル6において、リードコマンドが与えられると、外部クロックイネーブル信号 $e \times t$ CKEがHレベルに固定されている場合には、ZCASレイテンシーが経過したクロックサイクル10において有効データQ0が outputされ、以降クロックサイクル11、12および13においてそれぞれデータQ1、Q2およびQ3が読出される。ここで、ZCASレイテンシーが3の場合が一例として示される。しかしながら、クロックサイクル7において、外部クロックイネーブル信号 $e \times t$ CKEをLレベルとすると、クロックサイクル8において内部クロック信号の発生は停止されるため、データ読出動作が1クロックサイクル停止され、等価的にZCASレイテンシーが1サイクル長くなり、4クロックサイクル経過後のク

ロックサイクル11において有効データQ0が出力される。

【0020】クロックサイクル11において、また外部クロックイネーブル信号 $e \times t$ CKEをLレベルに設定すると、クロックサイクル12において内部クロック信号の発生が停止されるため、クロックサイクル11で読出されて、このクロックサイクル12において確定したデータQ1がクロックサイクル13においても保持される。外部クロックイネーブル信号 $e \times t$ CKEが以降Hレベルであるため、クロックサイクル14および15において、残りのデータQ2およびQ3がそれぞれ読出される。したがってこのデータ読出動作時においても、CPUがデータを受入れる準備ができているか否かに合わせてSDRAMからのデータ読出タイミングを調節することができる。

【0021】またこのようなデータ入出力のタイミングを遅らせる構成に加えて、さらに内部クロック信号の発生が停止されるため、外部クロック信号 $e \times t$ CKEを連続的にLレベルに固定すれば、内部クロック信号intCLKが常時Lレベルに固定されるため、SDRAMの内部状態は変化せず、消費電流を低減することができる。特にスタンバイ時における外部クロック信号 $e \times t$ CLKに同期した外部信号の取込を停止させることができ、応じて内部信号の状態の変化を防止でき、スタンバイ時の消費電流を低減することができる。

【0022】図17（A）は、図15に示すクロックバッファ1および内部クロック発生回路4の構成の一例を示す図である。図17（A）において、クロックバッファ1は、外部クロック信号 $e \times t$ CLKをバッファ処理する入力バッファ1aと、バッファ1aの出力信号を反転するインバータ1bを含む。インバータ1bから第1の内部クロック信号intZCLK0がoutputされる。バッファ1aから、外部クロック信号 $e \times t$ CLKと相補的な論理の内部クロック信号intZCLK0が生成される。

【0023】内部クロック発生回路4は、CKEバッファ2からの内部クロックイネーブル信号intZCKEとバッファ1aからの内部クロック信号intZCLK0を受けるNOR回路4aと、NOR回路4aの出力信号を反転するインバータ4bを含む。NOR回路4aから第2の内部クロック信号としての内部クロック信号intZCLKがoutputされ、インバータ4bから、補の内部クロック信号intZCLKがoutputされる。図17（B）は、図15に示すCKEバッファ2の構成の一例を示す図である。図17（B）において、CKEバッファ2は、外部クロックイネーブル信号 $e \times t$ CKEをバッファ処理するバッファ2aと、バッファ2aの出力信号を内部クロック信号intZCLK0に同期してラッチし出力する第1のラッチ回路2bと、この第1のラッチ回路2bの出力信号を内部クロック信号intZCLK

Oに同期してラッチし出力する第2のラッチ回路2cを含む。

【0024】第1のラッチ回路2bは、内部クロック信号intCLK0およびintZCLK0により選択的に活性状態とされる3状態インバータ21aを含む。この3状態インバータ21aは、内部クロック信号intCLK0がLレベルのときに活性状態とされて、バッファ2aから与えられた信号を反転する。内部クロック信号intCLK0がHレベルのとき、この3状態インバータ21aは、非作動状態とされて出力ハイインピーダンス状態とされる。第1のラッチ回路2bは、さらに、3状態インバータ21aの出力信号を受けるインバータ21bと、インバータ21bの出力信号をインバータ21bの入力部へ反転して伝達するインバータ21cと、インバータ21bの出力信号を受けるインバータ21dと、内部クロック信号intCLK0とインバータ21dの出力信号とを受けるNAND回路21eと、内部クロック信号intCLK0とインバータ21bの出力信号とを受けるNAND回路21fと、NAND回路21eの出力信号を一方入力に受けるNAND回路21gと、NAND回路21fの出力信号とNAND回路21gの出力信号CKEOとを受けるNAND回路21hを含む。NAND回路21hの出力信号はNAND回路21eの他方入力に与えられる。このNAND回路21gおよび21hは、フリップフロップを構成する。

【0025】第2のラッチ回路2cは、内部クロック信号intZCLK0とNAND回路21gの出力信号CKEOを受けるNAND回路22aと、内部クロック信号intZCLK0とNAND回路21hの出力信号CKEOとを受けるNAND回路22bと、NAND回路22aの出力信号を一方入力に受けるNAND回路22cと、NAND回路22bの出力信号とNAND回路22cの出力信号とを受けて補の内部クロックイネーブル信号intZCKEを出力するNAND回路22dを含む。NAND回路22dの出力する内部クロックイネーブル信号intCKEはNAND回路22cの他方入力へ与えられる。NAND回路22cから、内部クロックイネーブル信号intZCKEが出力される。このNANDゲート22cおよび22dが、フリップフロップを構成する。次に、この図24(A)に示すクロックバッファおよび内部クロック発生回路ならびに図17(B)に示すCKEバッファの動作を、その動作波形図である図18を参照して説明する。

【0026】クロックサイクル0において、外部クロックイネーブル信号extCKEがHレベルのときに、外部クロック信号extCLKがHレベルに立上ると、クロックバッファ1の入力バッファ1aからの内部クロック信号intZCLK0がLレベルとされ、またインバータ1bの出力信号がHレベルへ立下る。一方、CKEバッファ2において、バッファ2aの出力信号は、

Lレベルであり（バッファ2aは反転機能を有する）、第1のラッチ回路2bにおいては、3状態インバータ21aが内部クロック信号intCLK0の立上がりに応答して出力ハイインピーダンス状態とされ、インバータ21bおよび21cにより、この内部クロック信号intCLK0の立上がり前に与えられていたHレベルの信号がラッチされる。

【0027】NAND回路21eおよび21f各々は、内部クロック信号intCLK0の立上がりに応答してインバータとして作用し、それぞれインバータ21dおよび21bから与えられる信号を反転してNAND回路21gおよび21hへ与える。この状態においては、NAND回路21eの出力信号はLレベルとなり、応じてNAND回路21gからの信号CKEOはHレベルになる。一方、第2のラッチ回路2cにおいては、内部クロック信号intZCLK0はLレベルに立下がるため、NAND回路22aおよび22bの出力信号はHレベルとなり、第2のラッチ回路2cは、この内部クロック信号intZCLK0の立下がる前に与えられていた信号を保持するラッチ状態とされる。したがってこの状態においては内部クロックイネーブル信号intCKEがHレベルであり、一方、補の内部クロックイネーブル信号intZCKEはLレベルである。したがって内部クロック発生回路4においては、NOR回路4aがインバータとして作用し、クロックバッファ1のバッファ1aから与えられる信号を反転して内部クロック信号intCLKを生成する。信号intCKEおよびintZCKEの状態は内部クロック信号intZCLKの立上がりに応答して決定される。したがって、クロックサイクル0において、内部クロック信号intCLKが発生されるか否かは、前のサイクルにおける外部クロックイネーブル信号extCKEの状態により決定される。

【0028】クロックサイクル1において、外部クロック信号extCKEの立上がりエッジにおいて、外部クロックイネーブル信号extCKEをLレベルに設定する。この状態において、内部クロック信号intCLK0が外部クロック信号extCLKに従ってHレベルに立上がり、第1のラッチ回路2bが、バッファ2aから与えられる外部クロックイネーブル信号extCKEをラッチし、かつ出力する。したがってこの第1のラッチ回路2bの出力信号CKEOが内部クロック信号intCLK0の立上がりに応答してLレベルに立下がる。一方、第2のラッチ回路2cは、内部クロック信号intZCLK0がLレベルであるため、ラッチ状態にあり、内部クロックイネーブル信号intCKEをHレベル、補の内部クロックイネーブル信号intZCKEをLレベルに保持する。

【0029】したがってクロックサイクル1においては、NOR回路4aがインバータとして作用し、バッファ1aからの信号に従って内部クロック信号intCL

Kが生成される。このクロックサイクル1において、内部クロック信号int CLK0（外部クロック信号ext CLK）がLレベルに立下がると、第1のラッチ回路2bにおいて、3状態インバータ21aが、作動状態とされ、バッファ2aからのHレベルの信号を反転する。しかしながら、NAND回路21dおよび21fは、Lレベルの内部クロック信号int CLK0により、それぞれの出力信号をHレベルに保持し、NAND回路21gおよび21hの状態は変化しない。したがって、この第1のラッチ回路21bの出力信号CKE0はLレベルに保持される。一方、第2のラッチ回路2cは、内部クロック信号int ZCLK0の立上がりに応答してスルー状態となり、第1のラッチ回路2bから与えられた信号を通過させかつラッチする。これに応じて内部クロックイネーブル信号int CKEがLレベルとなり、補の内部クロックイネーブル信号int ZCKEがHレベルとされる。この結果、内部クロック発生回路4においては、NOR回路4aの出力信号がLレベルに固定され、内部クロック信号int CLKがLレベルに固定される。第2のラッチ回路2cは、次に内部クロック信号int ZCLK0がHレベルに立上がるまで（すなわち内部クロック信号int CLK0がLレベルに立下がるまで）内部クロックイネーブル信号int CKEをLレベルに保持する。したがって、クロックサイクル2においては、内部クロック信号int CLK0が外部クロック信号ext CLKに従って立上がっても、NOR回路4aは、その出力信号がLレベルに固定され、内部クロック信号int CLKの立上がり（発生）が禁止される。

【0030】クロックサイクル2において、外部クロックイネーブル信号ext CKEがHレベルであると、内部クロック信号int CLK0の立上がりに応答して、第1のラッチ回路2bがラッチ状態とされ、それまでに取込んでいたHレベルの信号に従って、その出力信号CKE0をHレベルに復帰させる。したがって、内部クロック信号int CLK0の立下がりに応答して、第2のラッチ回路2cがスルー状態とされると、内部クロックイネーブル信号int CKEがHレベルとされ、補の内部クロック信号int ZCKEがLレベルとされる。これにより、クロックサイクル3においては、外部クロック信号ext CLKの立上がりに従って内部クロック信号int CLKがHレベルに立上がる。

【0031】上述のように、第1のラッチ回路2bにおいて、内部クロック信号int CLK0に従って外部クロックイネーブル信号をラッチしかつシフトし、また第2のラッチ回路2cにより、この第1のラッチ回路2bの出力信号を内部クロック信号int ZCLK0に従ってシフトすることにより、内部クロックイネーブル信号int CKEは、外部クロック信号ext CLKの半サイクル遅れて変化しかつその変化状態を1クロックサイクル保持するため、内部クロック信号int CLKが立

下がってから確実に次のクロックサイクルの間この内部クロック信号int CLKをLレベルに保持することができる。また内部クロック信号int CLK0の立下がりに応答して、第2のラッチ回路のラッチ状態を解放してスルー状態としているため、外部クロックイネーブル信号ext CKEがHレベルとされた状態においては、次のクロックサイクルにおいて確実に内部クロック信号int CLKをHレベルの活性状態とすることができます。

【0032】上述のように、外部クロックイネーブル信号ext CKEを、第1および第2のラッチ回路2bおよび2cにより、内部クロック信号int CLK0に従って順次シフト動作させることにより、確実に、この外部クロックイネーブル信号ext CKEがLレベルとされて、外部クロック信号の無効状態を示すとき、次のクロックサイクルにおいて、内部クロック信号int CLKをLレベルに固定することができる。

### 【0033】

【発明が解決しようとする課題】システム構成要素である各種半導体装置の高速化に対応して、システム内で高速に信号を伝搬するために、新しい規格がインターフェースに対しても提案されている。これらの新しい規格には、GTL（ガニング・トランシーバー・ロジック）、CTT（センター・タップド・ターミネーティド）、HSTL（ハイ・スピード・トランシーバ・ロジック）、およびSSTL（スタブ・シリーズ・ターミネーティド・ロジックまたはスタブ・シリーズ・ターミネーティド・トランシーバ・ロジック）がある。これらのインターフェースでは、入力信号の振幅が小さくされており、信号線の充放電時間を短くし、消費電力の低減および高速化を図る。たとえば、HSTLおよびCTTにおいて、入力信号の振幅は、基準電圧Vrefに対し±0.2Vの範囲に定められている。したがって、受信側の素子に設計された入力バッファは、この小振幅の信号を増幅することが要求される。これらの新しい規格は、基準電圧に対してHレベルおよびLレベルの振幅が定められており、入力バッファとしては、差動增幅回路が必要とされる。

【0034】図19は、従来の入力バッファ初段の構成を示す図である。ここで、入力バッファ初段とは、外部信号を直接受けるバッファ回路部分を示し、バッファ1a, 2aに相当する。図19において、初段の入力バッファは、電源電圧Vddを供給する電源ノードに接続される一方導通ノード（ソース）と、ノードN1に接続されるゲートおよび他方導通ノード（ドレイン）とを有するpチャネルMOSトランジスタPQ1と、電源ノードに接続される一方導通ノードとノードN1に接続されるゲートと、出力ノードN2に接続される他方導通ノードとを有するpチャネルMOSトランジスタPQ2と、接地電圧Vssを供給する接地ノードに接続される一方導

通ノードと、基準電圧  $V_{ref}$  を受けるように接続されるゲートと、ノード N1 に接続される他方導通ノードとを有する n チャネル MOS トランジスタ NQ1 と、接地ノードに接続される一方導通ノードと、外部信号 EXT を受けるように接続されるゲートと、出力ノード N2 に接続される他方導通ノードとを有する n チャネル MOS トランジスタ NQ2 を含む。この初段の入力バッファの構成においては、p チャネル MOS トランジスタ PQ1 および PQ2 がカレントミラー回路を構成する。外部信号 EXT は、外部から与えられる制御信号 ZCS、ZRA、ZCAS および ZWE、アドレス信号 Add、および書込データ D のいずれであってもよい。

【0035】外部信号 EXT が基準電位  $V_{ref}$  よりも高い場合には、n チャネル MOS トランジスタ NQ2 のコンダクタンスが、n チャネル MOS トランジスタ NQ1 のそれよりも大きくなる。MOS トランジスタ NQ1 は、p チャネル MOS トランジスタ PQ1 から電流が供給され、この p チャネル MOS トランジスタ PQ1 と同じ大きさの電流が p チャネル MOS トランジスタ PQ2 を介して流れ (MOS トランジスタ PQ1 および PQ2 のサイズが同じ場合)。したがって、この状態においては、MOS トランジスタ PQ2 を介して流れの電流はすべて MOS トランジスタ NQ2 を介して接地ノードへ放電され、ノード N2 は、L レベルとなる。

【0036】一方、外部信号 EXT の電位レベルが基準電圧  $V_{ref}$  よりも低い場合には、n チャネル MOS トランジスタ NQ1 のコンダクタンスが、MOS トランジスタ NQ2 のコンダクタンスよりも大きくなる。この場合には、p チャネル MOS トランジスタ PQ2 を介して流れの電流は、n チャネル MOS トランジスタ NQ2 を介して流れの電流よりも大きくなり、ノード N2 の電位レベルは H レベルとされる。この図 19 に示すように、差動増幅回路を初段の入力バッファに利用することにより、外部信号 EXT の振幅が小さい場合においても、高速で増幅して大きな振幅の内部信号 ZOUT を生成することができる。

【0037】基準電圧  $V_{ref}$  は、通常、電源電圧  $Vdd$  と接地電圧  $Vss$  の中間電圧 ( $Vdd + Vss$ ) / 2 の電位レベルである。外部信号 EXT は、その振幅が小さく、 $V_{ref} \pm 0.2$  (HSTL および CTT インタフェースの場合 : GTL の場合、 $V_{ref} \pm 0.05$ ) である。しかし、スタンバイ時等において、外部信号 EXT の電位レベルが電源電圧  $Vdd$  または接地電圧  $Vss$  のレベルに固定された場合においても、基準電圧  $V_{ref}$  は、中間電位レベルであるため、この差動増幅回路においては、電源ノードから接地ノードへ常時電流が流れ。すなわち、外部信号 EXT が電源電圧  $Vdd$  レベルの場合には、MOS トランジスタ NQ2 を介して接地ノードへ電流が流れ、一方、外部信号 EXT が接地電圧  $Vss$  レベルの場合、MOS トランジスタ NQ1 を介し

て接地ノードへ電流が流れ。SDRAM の記憶容量が増大した場合、アドレス信号ビットを受ける入力バッファの数が増大し、また多ビットデータを入出力する場合、データ入力バッファの数も増大する。また SDRAM の多機能化に合わせて、外部制御信号の種類も増加する。したがってこのような外部信号の数が増えた場合、応じて入力バッファの数も増大し、図 19 に示すような差動増幅回路を初段入力バッファとして用いた場合、この差動増幅回路を介して常時流れの電流が大きくなり、低消費電流の SDRAM を実現することができなくなるという問題が生じる。

【0038】それゆえ、この発明の目的は、入力バッファの消費電流を大幅に低減することのできるクロック同期型半導体記憶装置を提供することである。この発明の他の目的は、外部クロック信号の周波数が高い場合においても、アクセス動作に影響を及ぼすことなく確実に入力バッファの消費電流を低減することのできるクロック同期型半導体記憶装置を提供することである。

【0039】

【課題を解決するための手段】請求項 1 に係る同期型半導体記憶装置は、外部から与えられる外部クロック信号に従って第 1 の内部クロック信号を生成するクロックバッファ手段と、外部クロック信号の有効を指示する外部から与えられる外部クロックイネーブル信号を第 1 の内部クロック信号に同期してラッチしてこの外部クロックイネーブル信号の活性化時活性状態とされる入力バッファイネーブル信号を生成するラッチ手段と、入力バッファイネーブル信号を遅延して内部クロックイネーブル信号を生成するクロックイネーブル手段と、この内部クロックイネーブル信号の活性化時に活性状態とされ、外部クロック信号に従って第 2 の内部クロック信号を生成する内部クロック生成手段と、入力バッファイネーブル信号の活性化時活性状態とされて、外部から与えられる信号をバッファ処理する入力バッファ手段と、第 2 の内部クロック信号に同期して入力バッファ手段の出力信号をラッチして内部信号を生成する内部信号生成手段を備える。入力バッファ手段は、第 1 および第 2 の電源供給ノード上の電圧を動作電源電圧として動作しつつこの入力バッファイネーブル信号の非活性化時第 1 および第 2 の電源供給ノード間の電流が流れの経路を遮断する手段を含む。

【0040】請求項 2 に係る同期型半導体記憶装置は、第 1 の電位レベルと第 2 の電位レベルとの間で変化する、外部から与えられる外部クロック信号に従って第 1 の内部クロック信号を生成するクロックバッファ手段と、外部クロック信号の有効を指示する、外部から与えられる外部クロックイネーブル信号を、第 1 の内部クロック信号の第 1 の電位レベルから第 2 の電位レベルへの変化に同期してラッチしつつ出力する第 1 のラッチ手段と、この第 1 のラッチ手段の出力信号を遅延して内部ク

ロックイネーブル信号を生成するクロックイネーブル手段と、第1のラッチ手段の出力信号に応答して第1および第2の電源供給ノード間の電流経路が選択的に遮断され、動作時外部からの信号をバッファ処理する入力バッファ手段と、内部クロックイネーブル信号の活性化時活性化され、外部クロック信号に従って第2の内部クロック信号を生成する内部クロック生成手段と、第1のラッチ手段と実質的に同一の構成を有し、入力バッファ手段からの信号を第2の内部クロック信号の第1の電位レベルから第2の電位レベルへの変化に応答してラッチして内部信号を生成して出力する内部信号生成手段を備える。

【0041】請求項3に係る同期型半導体記憶装置は、請求項2のラッチ手段が、第1の内部クロック信号が第2の電位レベルのときに与えられた信号を通過させるスルー状態となり、かつ第1の内部クロック信号が第1の電位レベルのときに与えられる信号にかかわらず出力信号の状態を保持するラッチ状態とされる第1のラッチと、この第1のラッチに結合され、第1の内部クロック信号が第1の電位レベルのときにラッチ状態となりかつ第1の内部クロック信号が第2の電位レベルのときにスルー状態とされる第2のラッチを備える。

【0042】請求項4に係る同期型半導体記憶装置は、請求項1ないし3のいずれかのクロックイネーブル手段が、第1の内部クロック信号に同期して第1のラッチ手段と相補的にラッチ状態とされるラッチ回路を備える。請求項5に係る同期型半導体記憶装置は、請求項1ないし4のいずれかのクロックバッファ手段が、外部クロック信号をバッファ処理するバッファ回路と、このバッファ回路の出力信号の第1の電位レベルから第2の電位レベルへの変化に同期して第1の電位レベルから第2の電位レベルへ変化する信号を生成して第1の内部クロック信号として出力するクロック生成回路を備える。

【0043】請求項6に係る同期型半導体記憶装置は、請求項5の同期型半導体記憶装置が、さらに、バッファ回路の出力信号を遅延する遅延回路を備える。請求項7に係る同期型半導体記憶装置は、請求項3の同期型半導体記憶装置の第1のラッチ手段が、外部クロック信号をバッファ処理するバッファ回路と、このバッファ回路の出力信号を遅延して第1のラッチへ与える遅延回路をさらに備える。請求項8に係る同期型半導体記憶装置は、請求項1ないし7のいずれかの同期型半導体記憶装置が、さらに、入力バッファ手段と内部信号生成手段との間に設けられる遅延回路を備える。

【0044】第1の内部クロック信号に従って外部クロックイネーブル信号に従って入力バッファイネーブル信号を生成し、この入力バッファイネーブル信号に従って入力バッファ手段の電流経路を遮断する。外部クロックイネーブル信号に従って入力バッファイネーブル信号が生成されており、第2の内部クロック信号の発生が停止

されるサイクルにおいては、装置内部は、その前のサイクルの状態を維持するため、外部信号を取込む必要がない。したがって、必要なときのみ入力バッファ手段を作動状態とし、不必要なときには入力バッファ手段の電流経路を遮断しているため、回路動作に悪影響を及ぼすことなく消費電流を低減することができる。

【0045】また、第1の内部クロック信号に同期して入力バッファイネーブル信号を外部クロックイネーブル信号に従って生成することにより、外部クロックイネーブル信号が活性状態とされるサイクル、すなわち内部クロック信号が無効状態から有効状態に復帰するサイクルにおいては、内部クロック信号が無効状態とされるサイクルにおいて、入力バッファイネーブル信号が外部クロックイネーブル信号に従って変化し、これにより、取込むべき外部信号が与えられる（セットアップされる）前に入力バッファイネーブル信号を活性状態として、入力バッファを作動状態とすることができます、高速動作時においても確実に外部信号のセットアップ時間を保証することができ、確実に外部信号に従って内部信号を生成することができる。

【0046】また、ラッチ手段と内部信号生成手段とを実質的に同一構成とすることにより、入力バッファイネーブル信号の状態が確定したとき、既に外部信号が取込まれて内部信号が確定状態とされており、必要とされる外部信号を確実に内部へ取込むことができる。

#### 【0047】

##### 【発明の実施の形態】

【発明の出発概念】図1は、この発明の出発点としてのSDRAMの要部の構成を示す図である。図1において、SDRAMは、外部クロック信号extCLKをバッファ処理して中間クロック／信号CLKXならびに第1の内部クロック信号intCLK0およびintZCLK0を生成するクロックバッファ回路1と、内部クロックイネーブル信号intCKEに従って選択的に活性状態とされ、中間クロック信号CLKXから第2の内部クロック信号intCLK0を生成する内部クロック発生回路4を含む。これらの回路1および4の構成は、後に詳細に説明するが、内部クロック信号intCLK0およびintZCLK0は中間クロック信号CLKXをバッファ処理して生成される。

【0048】SDRAMは、さらに、外部クロックイネーブル信号extCKEをバッファ処理するバッファ回路2aと、このバッファ回路2aの出力信号を第1の内部クロック信号intZCLK0に同期してラッチしつつ出力する第1のラッチ回路2bと、この第1のラッチ回路2bの出力信号を、この第1の内部クロック信号intZCLK0に同期してラッチしつつ出力する第2のラッチ回路2cを含む。この第2のラッチ回路2cから、内部クロックイネーブル信号intCKEおよびintZCKEが出力される。バッファ回路2a、ラッチ回路

2 b および 2 c の構成は、先の図 17 (B) に示す構成と同じである。クロックイネーブル信号  $i_{nt}CKE$  が H レベルのときには、外部クロック信号（内部クロック信号）の有効状態が示され、内部クロックイネーブル信号  $i_{nt}CKE$  が L レベルのときには、外部クロック信号（内部クロック信号）の無効状態が示される。

【0049】入力バッファ 30 は、基準電圧  $V_{ref}$  と外部信号（制御信号、アドレス信号および書込データのいずれか） $EXT$  とを差動的に増幅して、出力信号  $ZOUT$  を生成する。この入力バッファ回路 30 は、先の図 19 に示す初段入力バッファと同様、カレントミラー回路を構成する p チャネル MOS トランジスタ PQ1 および PQ2 と、基準電圧  $V_{ref}$  と外部信号  $EXT$  とを比較する比較段を構成する n チャネル MOS トランジスタ NQ1 および NQ2 を含む。この入力バッファ 30 は、さらに、電源ノード 31 と p チャネル MOS トランジスタ PQ1 および PQ2 の各々の一方導通ノードとの間に接続され、そのゲートに内部クロックイネーブル信号  $i_{nt}ZCKE$  を受ける n チャネル MOS トランジスタ PQ3、および MOS トランジスタ NQ2 と並列に設けられかつそのゲートに内部クロックイネーブル信号  $i_{nt}ZCKE$  を受ける n チャネル MOS トランジスタ NT を含む。次に、この図 1 に示す構成の動作を、その動作波形図である図 2 を参照して説明する。クロックサイクル 0 より前のクロックサイクルにおいて、外部クロックイネーブル信号  $extCKE$  は H レベルに設定されていると仮定する。

【0050】クロックサイクル 0において、外部クロックイネーブル信号  $extCKE$  は H レベルに設定され、外部クロック信号  $extCLK$  の有効が指定される。この状態においては、前のクロックサイクルにおいて外部クロック信号  $extCKE$  は H レベルに保持されていたので、クロックバッファ回路 1 から内部クロック信号  $i_{nt}CLK0$  が生成されると、この第 1 の内部クロック信号  $i_{nt}CLK0$  に従って内部クロック発生回路 4 から、内部クロック信号  $i_{nt}CLK$  が発生される。ここで、「発生される」は、クロック信号が L レベル（第 1 の電位レベル）から H レベル（第 2 の電位レベル）へ立上がる状態を示す。この状態においては、入力バッファ 30 において、p チャネル MOS トランジスタ PQ3 は、内部クロックイネーブル信号  $i_{nt}ZCKE$  が L レベルであり導通状態を維持しており、外部信号  $EXT$  と基準電圧  $V_{ref}$  との比較を行ない、その比較結果に従って出力信号  $ZOUT$  を生成する。

【0051】クロックサイクル 1において、外部クロックイネーブル信号  $extCKE$  が L レベルに設定され、外部クロック信号  $extCLK$  の無効が指定される。この状態においては、内部クロック信号  $i_{nt}CLK0$  は、クロックバッファ 1 から発生されてラッチ回路 2 b および 2 c へ与えられる。ラッチ回路 2 b および 2 c

は、先に説明したように、外部クロックイネーブル信号  $extCKE$  を半クロックサイクル遅延して伝達する。したがって、内部クロック信号  $i_{nt}CLK0$  が H レベルの間、ラッチ回路 2 c は先の状態を保持しており、内部クロックイネーブル信号  $i_{nt}ZCKE$  は L レベルを維持する。したがって内部クロック信号  $i_{nt}CLK$  が発生され、入力バッファ回路 30 が動作し、外部信号  $EXT$  と基準電圧  $V_{ref}$  との比較を行なう。

【0052】クロックサイクル 1において、第 1 の内部クロック信号  $i_{nt}CLK0$  が L レベルに立下がると、ラッチ回路 2 c がスルー状態とされ、第 1 のラッチ回路 2 b から与えられた信号を取り込み出力する。したがってこの状態において、内部クロックイネーブル信号  $i_{nt}ZCKE$  が H レベルとなり、p チャネル MOS トランジスタ PQ3 が非導通状態、または n チャネル MOS トランジスタ NT が導通状態とされる。これにより、入力バッファ回路 30 において、電源ノード 31 から接地ノード 32 へ電流が流れる経路が遮断される。出力信号  $ZOUT$  は、MOS トランジスタ NT により放電されて L レベルを維持する。MOS トランジスタ MT により、外部信号  $EXT$  が L レベルのときに出力信号  $ZOUT$  がハイインピーダンス状態となり、ノイズの影響を受けやすくなるのを防止する。このクロックサイクル 1において、外部クロック信号  $extCLK$  の立上がりエッジで与えられた外部信号  $EXT$  ((a)) は、取込まれて内部動作が実行される。

【0053】クロックサイクル 2において、外部クロック信号  $extCLK$  が H レベルに立上ると、応じて第 1 の内部クロック信号  $i_{nt}CLK0$  が L レベルに立上がる。この状態において、外部クロックイネーブル信号  $extCKE$  は H レベルに復帰しており、外部クロック信号  $extCLK$  の有効状態が指定される。しかしながら、ラッチ回路 2 c は、L レベルの内部クロック信号  $i_{nt}ZCLK$  によりラッチ状態を維持しており、内部クロックイネーブル信号  $i_{nt}ZCKE$  は H レベルを維持する。同様、内部クロックイネーブル信号  $i_{nt}CKE$  は L レベルの非活性状態であり、したがって内部クロック発生回路 4 からの内部クロック信号  $i_{nt}CLK$  は L レベルを維持する。この状態においては、内部動作は行なわれないため、このクロックサイクル 2において与えられた外部信号  $EXT$  ((b)) は取込む必要がない。したがって、入力バッファ回路 30 において p チャネル MOS トランジスタ PQ3 が非導通状態とされ、この入力バッファ回路 30 が非動作状態とされても内部動作に対し何ら悪影響は及ぼさない。

【0054】クロックサイクル 2において、内部クロック信号  $i_{nt}CLK0$  が L レベルに立下がると、第 1 のラッチ回路 2 b がラッチ状態となり、また第 2 のラッチ回路 2 c がスルー状態とされ、内部クロック信号  $i_{nt}CKE$  が外部クロックイネーブル信号  $extCKE$  に従

つてHレベルとされ、また補の内部クロックイネーブル信号intZCKEがLレベルとされる。これにより、pチャネルMOSトランジスタPQ3が導通状態とされ、またnチャネルMOSトランジスタNTが非導通状態とされ、入力バッファ回路30が作動状態とされる。

【0055】したがって、クロックサイクル3において、外部クロック信号extCLKの立上がりエッジで外部信号EXTを取り込んで、入力バッファ回路30でこれを増幅して内部信号を生成し、内部動作を行なうことができる。外部クロック信号extCLKの立上がりに対し、外部信号EXTは、セットアップ時間tsuおよびホールド時間thdが規定される。これらの時間は、正確に内部信号を生成するために外部信号を確定状態に保持する必要があるために規定される。内部クロックイネーブル信号intZCKEは、内部クロック信号intCLK0の立下りに従って変化するため、クロックサイクル1における外部信号EXT((a))のホールド時間thdは、確実に保証することができ、正確にこのクロックサイクル1における外部信号EXT

((a))は取り込むことができる。また、クロックサイクル2において与えられる外部信号EXT((b))に対しては、内部信号は内部クロック信号intCLK1に同期して取込まれて発生されるため、この外部信号EXT((b))の取込は確実に防止される。

【0056】また、外部クロック信号extCLKの無効状態から有効状態への復帰時、すなわちクロックサイクル2からクロックサイクル3への移行時において、内部クロックイネーブル信号intZCKEがLレベルとされる時点は内部クロック信号intCLK0の立下り時点であり、クロックサイクル3において取込まれるべき外部信号EXTのセットアップ開始時点よりも早い時点である。したがって、この外部信号EXT((c))に対し、確実にセットアップ時間tsuを保証することができ、正確にこの外部信号EXT((c))を取り込み内部信号を生成することができる。また中間クロック信号CLKXをバッファ処理して内部クロック信号intCLK0およびintCLKを生成することにより、内部クロック信号intCLKを早いタイミングで発生することができ、内部動作開始タイミングを早くすることができる。

【0057】外部クロック信号extCLKが比較的低速であり、内部クロックイネーブル信号intZCKEのLレベルへの移行タイミングと、外部信号EXT((c))のセットアップ開始時点との時間差trが正の場合には、上述のように、不必要なときに、入力バッファ回路30の動作を停止させた後この入力バッファ回路を作動状態へ復帰させる場合においても、正確に外部信号EXTを取り込み内部信号を生成することができる。しかしながら、外部クロック信号extCLKが高速のクロック信号とされて、外部信号EXTのセットアップ

時間tsuが、外部クロック信号extCLKの半サイクル時間に近くなった場合、正確に外部信号EXTを取り込むことができなくなる可能性がある。この状態について、次に図3を参照して説明する。

【0058】図3において、クロックサイクル0における信号intCKE、intZCKEおよびintCLKの状態は前のクロックサイクルにおける外部クロックイネーブル信号extCKEの状態により決定される。クロックサイクル1において、外部クロックイネーブル信号extCKEをLレベルに設定する。この状態においては、クロックサイクル2において内部クロック信号intCLKの発生が停止される。クロックサイクル3において再び内部クロック信号intCLKが発生される。クロックサイクル2において、第1の内部クロック信号CLK0がLレベルとされてから第2のラッチ回路2cにおける遅延時間が経過した後に、内部クロックイネーブル信号intZCKEがLレベルへ変化する。一方このとき、クロックサイクル3において取込まれるべき外部信号EXT((c))がセットアップされる。ホールド時間thdおよびセットアップ時間tsuは仕様で定められた一定値である。外部クロック信号extCLKの周期が短いとき、この内部クロックイネーブル信号intZCKEがLレベルとされるのが、外部信号EXT((c))がセットアップされた後となる可能性が存在する。この内部クロックイネーブル信号intZCKEがLレベルとされるタイミングと、外部信号EXTがセットアップされるタイミングとの時間差(以下、リセット時間と称す)trが負となると、外部信号EXTのセットアップ時間tsuが実効的に短くなり、正確に、この外部信号EXT((c))を取り込み、内部信号を生成することができなくなる可能性がある。

【0059】以下、高速クロック信号に同期して動作する場合においても、より確実に外部信号を取り込むことのできる構成について説明する。

【実施の形態1】図4は、この発明の実施の形態1に従うSDRAMの要部の構成を示す図である。図4において、図1に示す構成と対応する部分には同一の参照番号を付し、その詳細説明は省略する。この図4に示す構成において、外部信号EXTを受ける入力バッファ回路30の電流経路遮断用のpチャネルMOSトランジスタPQ3のゲートへは、第1のラッチ回路2bの出力の信号intZCKE0が入力バッファイネーブル信号として与えられる。この第2のラッチ回路2cからの内部クロックイネーブル信号intZCKEは、内部クロック発生回路4へ与えられて、内部クロック信号intCLKの有効／無効を制御する。入力バッファ回路30の出力信号は内部クロック発生回路4からの内部クロック信号intCLKに応答してラッチ状態となるラッチ回路35へ与えられる。ラッチ回路35は、内部クロック信号intCLKの立上がりに従って入力バッファ回路30

から与えられた信号を取り込み、この内部クロック信号  $i_{nt} CLK$  が L レベルの間ラッチする。このラッチ回路 3 5 からの内部信号  $i_{nt} COM$  は、内部制御信号（コマンドを生成する外部制御信号に対応する）、アドレス信号ビットまたは内部書き込みデータであり、それぞれコマンドデコーダ、アドレスデコーダまたは書き込み回路へ与えられる（図 1 5 参照）。

【0060】次に図 4 に示す構成の動作をそのタイミングチャート図である図 5 を参照して説明する。クロックサイクル 0 における信号  $i_{nt} CKE$  および  $i_{nt} CLK$  の状態は前のクロックサイクルにおける外部クロックイネーブル信号  $e_{xt} CKE$  の状態により決定される。クロックサイクル 1 において、外部クロックイネーブル信号  $e_{xt} CKE$  が外部クロック信号  $e_{xt} CLK$  の立上がりにおいて L レベルに設定され、外部クロック信号の無効が指定される。外部クロック信号  $e_{xt} CLK$  の立上がりに同期して、クロックバッファ 1 からの内部クロック信号  $i_{nt} CLK_0$  が H レベルに立上がる。この内部クロック信号  $i_{nt} CLK_0$  が立上がりに同期してラッチ回路 2 b がバッファ回路 2 a から与えられた信号を取り込みラッチし、かつ内部クロック信号  $i_{nt} CLK_0$  の立下りに応答してラッチ状態とされる。したがってラッチ回路 2 b からの入力バッファイネーブル信号  $i_{nt} ZCKE_0$  は、内部クロック信号  $i_{nt} CLK_0$  が立上ると H レベルに立上がり、入力バッファ回路 3 0 の電流経路遮断用の p チャネル MOS トランジスタ PQ 3 を非導通状態とする。

【0061】ラッチ回路 3 5 は、その構成を後に詳細に説明するが、ラッチ回路 2 b と実質的に同じ構成を備えており、内部クロック信号  $i_{nt} CLK$  が H レベルに立上るとスルー状態とされ、この入力バッファ回路 3 0 から与えられる信号を取り込み、内部クロック信号  $i_{nt} CLK$  が L レベルのときラッチ状態となる。入力バッファイネーブル信号  $i_{nt} ZCKE_0$  が H レベルに立上った時点においては、既にラッチ回路 3 5 においてこの入力バッファ回路 3 0 の出力信号が取込まれており、内部信号  $i_{nt} COM$  は、外部信号  $EXT$  に対応した状態となっている。

【0062】次いでこの内部クロック信号  $i_{nt} CLK_0$  が L レベルに立下がると、ラッチ回路 2 c がスルー状態となり、ラッチ回路 2 b の出力信号に従って内部クロックイネーブル信号  $i_{nt} ZCKE$  が H レベルとなり（内部クロックイネーブル信号  $i_{nt} CKE$  が L レベルとなり）、内部クロック発生回路 4 がディスエーブル状態とされ、内部クロック信号  $i_{nt} CLK$  を L レベルに固定する。したがって、クロックサイクル 2 において、外部クロック信号  $e_{xt} CLK$  に従って第 1 の内部クロック信号  $i_{nt} ZCLK_0$  が変化しても、内部クロック発生回路 4 からの内部クロック信号  $i_{nt} CLK$  は L レベルを維持する。このクロックサイクル 2 において、外

部クロックイネーブル信号  $e_{xt} CKE$  は H レベルに復帰しており、内部クロック信号  $i_{nt} CLK_0$  の立上がりに応答して、ラッチ回路 2 b がスルー状態となり、入力バッファイネーブル信号  $i_{nt} ZCKE_0$  を L レベルに復帰させる。これにより、p チャネル MOS トランジスタ PQ 3 が導通状態とされ、入力バッファ回路 3 0 が作動状態とされる。このとき、外部信号  $EXT$

((b)) は、ラッチ回路 3 5 へは取込まれない（内部クロック信号  $i_{nt} CLK$  は L レベルに固定されている）。したがって、内部信号  $i_{nt} COM$  は、先のクロックサイクル 1 において与えられた外部信号  $EXT$  ((a)) に対応した状態 (a) を維持する。

【0063】次いで、内部クロック信号  $i_{nt} CLK_0$  が外部クロック信号  $e_{xt} CLK$  に従って L レベルとなると、ラッチ回路 2 c がスルー状態となり、L レベルの入力バッファイネーブル信号  $i_{nt} ZCKE_0$  に従って内部クロックイネーブル信号  $i_{nt} CLK_0$  が L レベル（内部クロックイネーブル信号  $i_{nt} CKE$  が H レベル）に復帰し、内部クロック発生回路 4 は作動状態とされる。内部クロックイネーブル信号  $i_{nt} CKE$  が H レベルに立上がるタイミングが次のクロックサイクル 3 において取込まれる部信号  $EXT$  ((c)) のセットアップタイミングより遅い場合であっても、入力バッファイネーブル信号  $i_{nt} ZCKE_0$  は既に L レベルの活性状態に復帰しており、リセット時間  $t_r$  がほぼ半クロックサイクル期間あり、入力バッファ回路 3 0 は確実に、外部信号  $EXT$  をバッファ処理してラッチ回路 3 5 へ与えることができる。したがって、この第 1 の内部クロック信号  $i_{nt} CLK_0$  に同期して動作するラッチ回路 2 b からの信号  $i_{nt} ZCKE_0$  を入力バッファイネーブル信号として利用することにより、外部クロック信号  $e_{xt} CLK$  が高速のクロック信号であっても、リセット時間  $t_r$  を確実に確保することができ、高速動作時においても消費電流を低減してかつ確実に外部信号を取込んで内部信号を生成することができる。

【0064】クロックサイクル 3 においては、内部クロック信号  $i_{nt} CLK_0$  の立上がりに同期して、内部クロック信号  $i_{nt} CLK$  が立上がり、ラッチ回路 3 5 が入力バッファ回路 3 0 から与えられた外部信号  $EXT$  ((c)) を取込んで、内部信号  $i_{nt} COM$  ((c)) を出力する。上述のように、内部クロック信号  $i_{nt} ZCKE$  よりも早いタイミングで第 1 の内部クロック信号  $i_{nt} ZCLK_0$  に同期して変化する信号  $i_{nt} ZCKE_0$  を入力バッファイネーブル信号として利用して、入力バッファ回路 3 0 の電源の供給ノード（電源ノード 3 1 および接地ノード 3 2 両者を含む）の間の電流の流れる経路を遮断することにより、高速動作時においても、入力バッファ回路を必要なときのみ動作させかつ外部信号のセットアップ時間を保証することができ、正確に外部信号  $EXT$  を取込み内部信号  $i_{nt} CO$

Mを生成することができる。これにより、高速かつ低消費電流で動作するSDRAMを得ることができる。

【0065】 [クロックバッファ回路の構成] 図6は、図4に示すクロックバッファ回路1および内部クロック発生回路4の構成の一例を示す図である。図6において、クロックバッファ1は、外部クロック信号extCLKを受けてバッファ処理するバッファ回路1aと、バッファ回路1aの出力信号を反転するインバータ1cと、電源電圧Vccとインバータ1cの出力信号とを受けるNAND回路1dと、NAND回路1dの出力を反転するインバータ1eを含む。NAND回路1dから補の第1の内部クロック信号intZCLK0が outputされ、インバータ1eから第1の内部クロック信号intCLK0が outputされる。バッファ回路1aは、たとえばカレントミラー型差動増幅回路の構成を備える。このバッファ回路1aは常時動作し、外部クロック信号extCLKをバッファ処理しつつ反転して出力する。

【0066】図5に示すように、内部クロック信号intCLKの立上がりが、インバータ1cにより遅延される場合、外部信号EXTのセットアップ時間tsuに対し、さらにこのインバータ1cの有する遅延時間tsu'が実効的なセットアップ時間として付け加えられる。外部信号EXTは、内部クロック信号intCLKに同期して取込まれてラッチされるためである。したがって、この外部信号EXTの外部クロック信号extCLKに対するセットアップ時間tsuを短くしても、内部で十分な時間のセットアップ時間(tsu+tsu')を確保することができ、応じてサイクル期間を短くすることができ、高速動作が可能となる。このセットアップ時間およびホールド時間は、内部信号を確実に生成するために内部アクセス動作に関係なく外部信号を一定の状態に保持するために必要とされる時間であり、これらの時間が短ければ短いほど、クロックサイクル期間を短くすることができるためである。同様、外部クロックイネーブル信号extCKEに対しても、内部クロック信号intCLK0がインバータ1cにより遅延されているため、このセットアップ時間を実効的に長くすることができる。

【0067】内部クロック発生回路4は、内部クロックイネーブル信号intCKEとインバータ1cの出力信号を受けるNAND回路4aと、NAND回路4aの出力信号を受けるインバータ4bを含む。NAND回路4aから補の内部クロック信号intZCLKが outputされ、インバータ4bから内部クロック信号intCLKが outputされる。NAND回路4aは、インバータ1cの出力信号と内部クロックイネーブル信号intCKEを受けるAND回路で置換えられてもよい。その場合には、ただし、インバータ1cからは外部クロック信号extCLKと逆相のクロック信号が outputされる。NAND回路1dおよび4aにより内部クロック信号intZ

CLK0およびintZCLKの遅延時間は同じとなり、早いタイミングで内部クロック信号intCLKを立上げて外部信号をラッチして内部信号intCOMを確定状態とでき、内部動作開始タイミングを早くできる。

【0068】図7は、図6に示すクロックバッファ回路1の変更例の構成および動作を示す図である。図7(A)において、クロックバッファ回路1は、インバータ1cの出力信号CLKXを反転しつつ遅延する遅延回路1gと、インバータ1cの出力信号と遅延回路1gの出力信号を受けるAND回路1hと、AND回路1hの出力信号を受けるインバータ1fを含む。AND回路1hから、補の内部クロック信号intZCLK0が outputされ、インバータ1fから内部クロック信号intCLK0が outputされる。

【0069】この図7(A)に示す構成の場合、AND回路1hからは、図7(B)に示すように、インバータ1cの入力信号の立下がりに応答して、遅延回路1gが有する遅延時間Hレベルとされる内部クロック信号intCLK0が outputされる。内部クロック信号intCLK0およびintCLKの立上がりのみが外部クロック信号extCLKに同期し、その立下がりは、外部クロック信号extCLKの立下がりには同期しない。しかしながら、このSDRAMにおいては、入力段において内部クロック信号intCLK0およびintCLKの立上がりに同期してラッチ回路がラッチ動作を行なつており、確実に外部信号を取り込み内部信号を生成することができる。この遅延回路1gが有する遅延時間は、1クロックサイクル期間よりも短いが図7(B)に示すように、外部クロック信号extCLKの半サイクルよりも短くてもよく、また長くてもよい(長い場合は破線で示す)。内部クロック信号intCLKの必要最小限のHレベル期間が確保されればよい。

【0070】図8は、内部クロックイネーブル信号intCKEおよび内部信号intCOMを発生する部分の具体的構成を示す図である。図8において、CKEバッファ2は、外部クロックイネーブル信号extCKEを受けるバッファ2aと、バッファ2aの出力信号を遅延する遅延回路2dと、遅延回路2dの出力信号を第1の内部クロック信号intZCLK0に同期して取り込み、ラッチしつつシフトして入力バッファイネーブル信号intCKEOおよびintZCKEOを出力するラッチ回路2bと、このラッチ回路2bの出力信号をこの第1の内部クロック信号intZCLK0に同期して取り込み、ラッチし出力するラッチ回路2cを含む。

【0071】ラッチ回路2bは、図17(B)に示す構成と同様、内部クロック信号intZCLK0がLレベルのときにスルー状態とされ、内部クロック信号intCLK0がHレベルのときにラッチ状態とされるラッチ2baと、内部クロック信号intZCLK0がLレベルの

ときにラッチ状態とされ、かつ第1の内部クロック信号  $i_{nt} CLK_0$  がHレベルのときにスルー状態とされるラッチ  $2bb$  を含む。この第1のラッチ  $2ba$  および第2のラッチ  $2bb$  の構成は、図17(B)に示す構成と同じであり、対応する部分には同一の参照番号を付す。また、第2のラッチ回路  $2c$  の内部構成も、図17(B)に示す構成と同じであり、対応する部分には同一の参照番号を付す。

【0072】外部信号  $EXT$  から内部信号  $i_{nt} COM$  を生成する入力バッファ回路は、入力バッファイネーブル信号  $i_{nt} ZCKE_0$  に同期して選択的に活性状態とされる入力バッファ  $30$  と、入力バッファ  $30$  の出力信号を遅延する遅延回路  $37$  と、遅延回路  $37$  の出力信号を内部クロック信号  $i_{nt} CLK_1$  に同期して取込み、ラッチしかつシフトして内部信号  $i_{nt} COM$  および  $i_{nt} ZCOM$  を生成するラッチ回路  $35$  を含む。このラッチ回路  $35$  は、内部クロック信号  $i_{nt} CLK$  がLレベルのときにスルー状態とされ、かつ内部クロック信号  $i_{nt} CLK$  がHレベルのときにラッチ状態とされるラッチ  $35a$  と、ラッチ  $35a$  の出力信号を受けるように結合され、内部クロック信号  $i_{nt} CLK$  がHレベルのときにスルー状態とされ、内部クロック信号  $i_{nt} CLK$  がLレベルのときにラッチ状態とされるラッチ  $35b$  を含む。入力バッファ  $30$  は、図1に示すバッファと同様、カレントミラー型差動増幅回路の構成を備え、入力バッファイネーブル信号  $i_{nt} ZCKE_0$  がLレベルのときに作動状態とされかつ入力バッファイネーブル信号  $i_{nt} ZCKE_0$  がHレベルのときにその電流経路が遮断されて非作動状態とされる。

【0073】ラッチ  $35a$  は、内部クロック信号  $i_{nt} CLK$  および  $i_{nt} ZCLK$  に同期して選択的に作動状態とされて遅延回路  $37$  の出力信号を反転する3状態インバータ  $41a$  と、3状態インバータ  $41a$  の出力信号を受けるインバータ  $41b$  と、インバータ  $41b$  の出力信号を反転してインバータ  $41b$  の入力部へ伝達するインバータ  $41c$  と、インバータ  $41b$  の出力信号を反転するインバータ  $41d$  を含む。インバータ  $41b$  および  $41c$  はラッチ回路を構成する。3状態インバータ  $41a$  は、内部クロック信号  $i_{nt} CLK$  がLレベルであり、かつ補の内部クロック信号  $i_{nt} ZCLK$  がHレベルのときに作動状態とされてインバータとして作用し、内部クロック信号  $i_{nt} CLK$  がHレベルでありかつ補の内部クロック信号  $i_{nt} ZCLK$  がLレベルのときには、出力ハイインピーダンス状態とされる。

【0074】ラッチ  $35b$  は、内部クロック信号  $i_{nt} CLK$  とインバータ  $41d$  の出力信号を受けるNAND回路  $41e$  と、内部クロック信号  $i_{nt} CLK$  とインバータ  $41b$  の出力信号を受けるNAND回路  $41f$  と、NAND回路  $41e$  の出力信号をその一方入力に受けて内部信号  $i_{nt} COM$  を出力するNAND回路  $41g$

と、NAND回路  $41f$  の出力信号と内部信号  $i_{nt} COM$  を受けて補の内部信号  $i_{nt} ZCOM$  を出力するNAND回路  $41h$  を含む。NAND回路  $41h$  の出力する信号  $i_{nt} ZCOM$  はまたNAND回路  $41g$  の他方入力へ与えられる。

【0075】このラッチ回路  $2b$  とラッチ回路  $35$  は、その内部構成は実質的に同じである。ラッチシフトするタイミングを規定するクロック信号が異なるだけである。第1の内部信号  $i_{nt} CLK_0$  は、図6に示すように、インバータ  $1b$  を介して出力され、内部クロック信号  $i_{nt} CLK$  はNOR回路  $4a$  を介して出力される。一方、補の第1の内部クロック信号  $i_{nt} ZCLK_0$  は遅延回路  $1c$  から出力され、また補の内部クロック信号  $i_{nt} ZCLK$  は、NOR回路  $4a$  からインバータ  $4b$  を介して出力される。したがって、内部クロック信号  $i_{nt} CLK_0$  および  $i_{nt} CLK$  の変化タイミングの差はほぼこのインバータ  $1b$  とNOR回路  $4a$  における遅延時間の差であり、ほぼ無視することができる値である。

【0076】同様、補の第1の内部クロック信号  $i_{nt} ZCLK_0$  は、遅延回路からインバータ2段を介して出力される構成とされれば、補の内部クロック信号  $i_{nt} ZCLK$  および  $i_{nt} ZCLK_0$  もほぼ同じタイミングで発生される。したがって、入力バッファイネーブル信号  $i_{nt} ZCKE_0$  が外部クロックイネーブル信号  $ext CLK$  に従ってHレベルとされるとき、この内部信号  $i_{nt} COM$  も既に外部信号  $EXT$  の状態に対応した状態に変化して、ラッチ  $35b$  により保持されていると考えることができる。したがって入力バッファイネーブル信号  $i_{nt} ZCKE_0$  が早いタイミングで非活性状態(Hレベル)とされても、そのときには、外部信号  $EXT$  は確実にラッチ回路  $35$  で内部信号  $i_{nt} COM$  としてラッチされていると考えることができる。次に、遅延回路  $2d$  および  $37$  の作用について説明する。

【0077】図9は、図6ないし図8に示すバッファ回路  $1a$ 、 $2a$  および  $30$  各々の次段に設けられた遅延回路  $1c$ 、 $2d$  および  $37$  の作用を説明するためのタイミングチャート図である。図9において、外部クロック信号  $ext CLK$  は、遅延回路  $1c$  により時間  $Td0$  遅延されて、第1の内部クロック信号  $i_{nt} CLK_0$  となる。内部クロック信号  $i_{nt} CLK$  は、NORゲート  $4a$  の遅延を考慮して、外部クロック信号  $ext CLK$  に対し時間  $Td1$  遅れて変化する。外部信号  $EXT$  ((a)) が、外部クロック信号  $ext CLK$  に対しセットアップ時間  $Tsu$  を有し、かつ外部クロック信号  $ext CLK$  に対するホールド時間が0の場合を考える。この外部信号  $EXT$  は、遅延回路  $37$  により時間  $Td2$  遅延される。したがってこの場合、この遅延回路  $37$  の出力信号 (a) は、内部クロック信号  $i_{nt} CLK$  に対し次式で表わされるセットアップ時間  $t_{su}$  およびホー

ルド時間  $t_h$  を有する。

$$[0078] t_{su} = T_{su} + T_{d1} - T_{d2}, \\ t_h = T_h (=0) + T_{d2} - T_{d1}$$

したがって、 $T_{d2} > T_{d1}$  の条件が満足されれば、外部信号  $EXT$  の外部クロック信号  $ext\ CLK$  に対するホールド時間が 0 の場合であっても、内部クロック信号  $int\ CLK$  に対するホールド時間  $t_h$  が正の値 ( $T_{d2} - T_{d1}$ ) とされ、早いタイミングで内部クロック信号  $int\ CLK_0$  が立上がりても ( $T_{d0}$  が極めて小さいとき)、確実に外部信号  $EXT$  を取込み、第 1 のラッチ  $35a$  の出力信号  $int\ COM_0$  を確定状態とすることができます。

[0079] また外部信号  $EXT((c))$  の場合、遅延回路  $37$  の出力する信号の内部クロック信号  $int\ CLK$  に対するセットアップ時間  $t_{su}$  は、外部信号  $EXT((c))$  の外部クロック信号  $ext\ CLK$  に対するセットアップ時間  $T_{su}$  よりも短くなる。したがってこの場合、必要最小限のセットアップ時間  $t_{su}$  を確保するために、外部信号  $EXT((c))$  のセットアップタイミングを早くする必要が生じる。この遅延時間  $T_{d2}$  は、遅延回路  $37$  の出力信号のホールド時間を確保するために設けられるものであり、その値はリセット時間  $t_r$  よりも十分小さく（ホールド時間はセットアップ時間より短い）、したがってこの場合においても入力バッファイネーブル信号  $int\ ZCKE_0$  が L レベルに立下がるタイミングは、外部信号  $EXT((c))$  のセットアップタイミングよりも十分早く、高速動作時においても確実に外部信号  $EXT$  のセットアップを行なうことができる。内部クロック信号  $int\ CLK_0$  の無効時、入力バッファイネーブル信号  $int\ ZCKE_0$  は、第 1 の内部クロック信号  $int\ CLK_0$  の立上がりに同期して H レベルとされる。入力バッファイネーブル信号  $int\ ZCKE_0$  は、図 8 に示すラッチ  $2b$  を介して生成される。したがって、内部クロック信号  $int\ CLK_0$  が H レベルに立上がってから、2 段のゲート（NAND 回路）の遅延が少なくとも必要とされる。一方、内部クロック信号  $int\ CLK$  は、1 段のゲート（NOR 回路  $4a$ ）により、内部クロック信号  $int\ ZCLK_0$  に従って生成される。したがって、内部クロック信号  $int\ CLK$  の立上がりよりも、入力バッファイネーブル信号  $int\ ZCKE_0$  の立上がりは少なくとも 1 段のゲート分遅くなる。このとき、内部クロック信号  $int\ CLK$  と入力バッファイネーブル信号  $int\ ZCKE_0$  の立上がりの時間差が小さく、ラッチ回路  $35$  により外部信号  $EXT$  が取込まれる前に入力バッファ  $30$  が非活性状態とされることが考えられるが、内部クロック信号  $int\ CLK$  が L レベルのときには、3 状態インバータ  $41a$  が作動状態とされており、その出力信号はラッチ  $41b$  および  $41c$  によりラッチされており、また遅延回路  $37$  の出力信号がこの内部クロック信号  $int\ CLK$  の L レ

ベルから H レベルへの遷移時において確定状態にあれば、確実に外部信号  $EXT$  を取込み、ラッチして内部信号  $int\ COM$  を生成することができる。

[0080] このとき、特に、図 6 に示すように内部クロック信号  $int\ CLK_0$  および  $int\ CLK$  がほぼ同じタイミングで生成される場合、ラッチ回路  $2b$  および  $35$  は同じ構成を実質的に有しているため、入力バッファイネーブル信号  $int\ ZCKE_0$  が L レベルから H レベルに変化したとき、この内部信号  $int\ COM$  も、外部信号  $EXT$  に従った状態に設定されていると考えることができ、したがって早いタイミングで入力バッファイネーブル信号  $int\ ZCKE_0$  が立上がりても、確実に外部信号  $EXT$  を取込み内部信号  $int\ COM$  を生成することができる。

[0081] 上述の説明においては、1 クロックサイクル期間のみ外部クロックイネーブル信号  $ext\ CKE$  が L レベルとされる動作が示される。しかしながら、スタンバイ時において連続的に外部クロックイネーブル信号  $ext\ CKE$  を L レベルに設定すれば、入力バッファイネーブル信号  $int\ CKE_0$  は連続的に H レベルを維持し、入力バッファ  $30$  の電流経路がその間遮断され、消費電流が低減される。図 10 (A) は、 $CKE$  バッファの変更例の構成を示す図である。図 10 (A) に示す、 $CKE$  バッファの構成においては、内部クロックイネーブル信号  $int\ CKE$  および  $int\ ZCKE$  を出力するフリップフロップ  $2c$  に代えて、ラッチ回路  $2b$  からの入力バッファイネーブル信号  $int\ CKE_0$  および  $int\ ZCKE_0$  をそれぞれ遅延する遅延回路  $2e$  が設けられる。遅延回路  $2e$  は、入力バッファイネーブル信号  $int\ CKE_0$  を遅延して内部クロックイネーブル信号  $int\ CKE$  を出力する遅延回路  $2ea$  と、入力バッファイネーブル信号  $int\ ZCKE_0$  を遅延して内部クロックイネーブル信号  $int\ ZCKE$  を出力する遅延回路  $2eb$  を含む。

[0082] この図 10 (A) に示すような遅延回路  $2e$  を用いた場合、図 10 (B) に示すように、入力バッファイネーブル信号  $int\ CKE_0$  が、内部クロック信号  $int\ CLK_0$  の立上がりに同期して立下がった場合、所定時間（遅延回路  $2e$  の有する遅延時間）経過後に内部クロックイネーブル信号  $int\ CKE_0$  が L レベルに立下がる。フリップフロップ  $2c$  は、外部クロックイネーブル信号  $ext\ CKE$  を半クロックサイクル遅延して伝達しかつ 1 クロックサイクル期間その状態を保持する機能を備える。この 1 クロックサイクル期間保持する機能は、ラッチ回路  $2b$  により実現される。したがって、この遅延回路  $2e$  を用いても、確実に、活性状態の外部クロックイネーブル信号  $ext\ CKE$  が与えられた次のサイクルにおける内部クロック信号  $int\ CLK$  の発生を停止させることができる。

[0083] この遅延回路  $2e$  を用いる場合、その遅延

時間によっては、内部クロック信号  $i_{n t} C L K$  が H レベルのときに、内部クロックイネーブル信号  $i_{n t} C K E$  が L レベルとされる可能性が存在する。この状態を避けるためには、遅延回路  $2 e a$  および  $2 e b$  の遅延時間を、半クロックサイクル以上、1 クロックサイクル未満に設定すればよい。なお、クロック周波数が異なれば、このクロックの 1 周期も異なり、内部クロック信号  $i_{n t} C L K_0$  ( $i_{n t} C L K$ ) の H レベルの期間の長さも異なる。この場合、遅延回路  $2 e a$  および  $2 e b$  それぞれにおいて複数の遅延時間を実現する遅延素子を設け、用いられる外部クロック信号  $e \times t C L K$  の周波数に応じてその適当な遅延時間の遅延素子を選択する構成が利用されればよい。このような構成としては、たとえば SDRAM に通常設けられるコマンドレジスタに、遅延時間選択用のデータを格納し、継続接続された遅延素子を、その格納データに応じて選択的に短絡する構成を利用することができる。

【0084】 [入力バッファ回路の変更例] 図 11 は、この発明の実施の形態 1 において利用される入力バッファ回路の変更例の構成を示す図である。この図 11 において、入力バッファ 30 は、外部信号  $E X T$  と基準電圧  $V_{r e f}$  を差動的に増幅する差動増幅回路 30a と、この差動増幅回路 30a の内部接地ノード（差動 n チャネル MOS トランジスタの共通ソースノード）と接地ノード 32 との間に接続される n チャネル MOS トランジスタ NQ3 を含む。この MOS トランジスタ NQ3 は、そのゲートに入力バッファイネーブル信号  $i_{n t} C K E O$  を受ける。差動増幅回路 30a は、電源ノード 31 から電源電圧  $V_{d d}$  を供給される。この図 11 に示す構成においては、入力バッファイネーブル信号  $i_{n t} C K E O$  が L レベルとされると、n チャネル MOS トランジスタ NQ3 が非導通状態とされ、この差動増幅回路 30a から接地ノード 32 へ電流が流れる経路が遮断され、差動増幅回路 30a は非作動状態とされる。

【0085】 この差動増幅回路 30a は、負入力に外部信号  $E X T$  を受け、正入力に基準電圧  $V_{r e f}$  を受けているが、その内部構造は、図 1 に示す入力バッファ回路 30 に含まれるトランジスタ PQ1、PQ2、NQ1、NT および NQ2 で構成される差動増幅回路と同じ構成を備える。この差動増幅回路 30a は、異なる内部構造を備えていてもよく、基準電圧  $V_{r e f}$  と外部信号  $E X T$  とを差動増幅する機能を備えていればよい。この図 1 に示す構成においても、内部クロック信号  $i_{n t} C L K$  が発生されない場合に、差動増幅回路 30a の電源ノード 31 と接地ノード 32 との間の電流が流れる経路が遮断されるため、必要なときのみこの入力バッファ回路 30 を動作させることができ、消費電流を低減することができる。

【0086】 [入力バッファ回路の変更例 2] 図 12 は、この発明の実施の形態 1 に従う入力バッファ回路の

変更例 2 の構成を示す図である。図 12 において、入力バッファ 30 を構成する差動増幅回路 30a は、電源ノード 31 から p チャネル MOS トランジスタ PQ3 を介して電源電圧  $V_{d d}$  を供給され、また n チャネル MOS トランジスタ NQ3 を介して接地ノード 32 から接地電圧  $V_{s s}$  を供給される。MOS トランジスタ PQ3 のゲートには、入力バッファイネーブル信号  $i_{n t} Z C K E O$  が与えられ、MOS トランジスタ NQ3 のゲートには、入力バッファイネーブル信号  $i_{n t} C K E O$  が与えられる。この図 12 に示す構成の場合、入力バッファイネーブル信号  $i_{n t} Z C K E O$  および  $i_{n t} C K E O$  に従つて、MOS トランジスタ PQ3 および NQ3 がともに非導通状態とされ、差動増幅回路 30a は、電源ノード 31 および接地ノード 32 から分離される。この状態において、出力信号  $Z O U T$  がリーク電流またはノイズなどの影響で変動した場合においても、差動増幅回路 30a においては何ら電流は消費されず（出力ノードと電源供給ノード（電源ノード 31 および接地ノード 32 両者を含む）から分離されているため）、消費電流をより低減することができる。

【0087】 [他の適用例] 上述の説明においては、SDRAM の入力バッファ回路が説明されている。しかしながら、たとえばシンクロナス SRAM（スタッフィック・ランダム・アクセス・メモリ）のようなメモリであっても、クロック信号に同期して外部信号の取込が行なわれるメモリ装置であるかぎり同様の効果を得ることができる。

【0088】

【発明の効果】 以上のように、この発明に従えば、クロック同期型半導体記憶装置において、内部クロック信号の前縁（立上り）に同期して入力バッファイネーブル信号を発生して入力バッファの電流経路を遮断する構成にしているため、内部クロック信号非発生時から発生状態への復帰時においても、確実に与えられた外部信号のセットアップ時間を確保することができ、高速動作する低消費電流のクロック同期型半導体記憶装置を実現することができる。

【0089】 このとき、外部信号が取込まれて内部信号状態が確定してから入力バッファ回路を非作動状態としているため、この外部信号のホールド時間が短い時間においても、確実に外部信号に対応した内部信号を生成することができる。

#### 【図面の簡単な説明】

【図 1】 この発明の実施の形態に従う SDRAM の出発点の構成を示す図である。

【図 2】 図 1 に示す構成の動作を示すタイミングチャート図である。

【図 3】 図 1 に示す構成の問題点を説明するためのタイミングチャート図である。

【図 4】 この発明の実施の形態に従う SDRAM の要

部の構成を示す図である。

【図5】 図4に示す構成の動作を示すタイミングチャート図である。

【図6】 図4に示すクロックバッファ回路の構成の一例を示す図である。

【図7】 (A)は、図4に示すクロックバッファ回路の変更例の構成を示し、(B)はその動作波形を示す図である。

【図8】 図4に示すCKEバッファおよび外部信号入力バッファの構成の一例を示す図である。

【図9】 図8に示す構成の動作を示すタイミングチャート図である。

【図10】 (A)は、図8に示すCKEバッファの変更例の構成を示し、(B)は、その動作波形を示す図である。

【図11】 この発明の実施の形態に従う入力バッファ回路の変更例1の構成を示す図である。

【図12】 この発明の実施の形態1に従う入力バッファ回路の変更例2の構成を示す図である。

【図13】 SDRAMの外部ピン配置を示す図である。

【図14】 SDRAMの動作を説明するためのタイミングチャート図である。

【図15】 SDRAMの全体の構成を概略的に示す図である。

【図16】 (A)は、クロックイネーブル信号の差異を説明するためのタイミングチャート図であり、(B)は、このクロックイネーブル信号の利用の一例を示すタイミングチャート図である。

【図17】 (A)は、従来のクロックバッファ回路の構成を示し、(B)は、従来のCKEバッファ回路の構成の一例を示す図である。

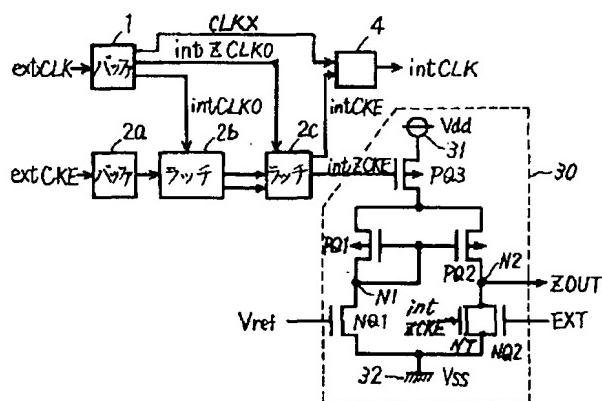
【図18】 図17(A)および(B)に示す構成の動作を示すタイミングチャートである。

【図19】 従来のSDRAMの入力バッファ初段の構成の一例を示す図である。

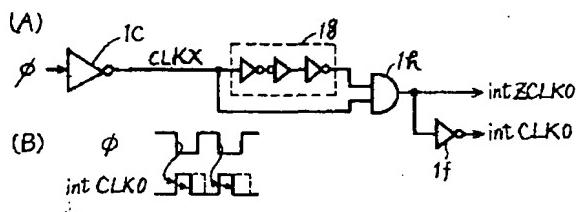
#### 【符号の説明】

1 クロックバッファ回路、2 CKEバッファ、2a 入力バッファ回路、2b、2c ラッチ回路、3 入力バッファ回路、4 内部クロック信号発生回路、P Q 3 p チャネルMOSトランジスタ、35 ラッチ回路、31 電源ノード、32 接地ノード、1d、4a NAND回路、1h AND回路、1f インバータ、2d 遅延回路、37 遅延回路、2ba 第1のラッチ、2bb 第2のラッチ、35a 第1のラッチ、35b 第2のラッチ、2ea, 2eb 遅延回路、NQ 3 n チャネルMOSトランジスタ、30a 差動増幅回路。なお、図において同一符号は、同一または相当部分を示す。

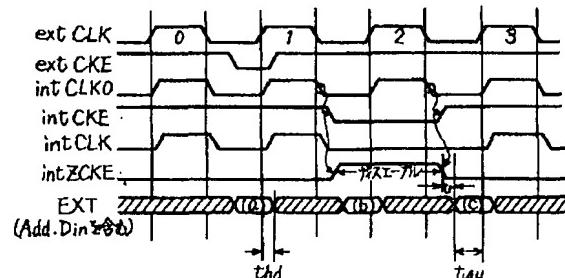
【図1】



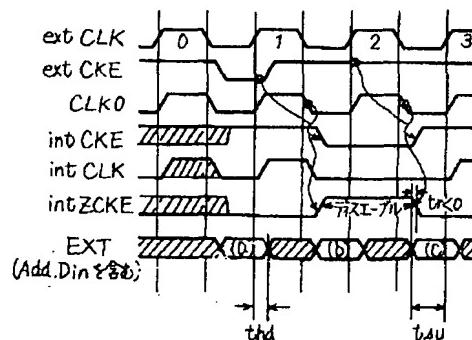
【図7】



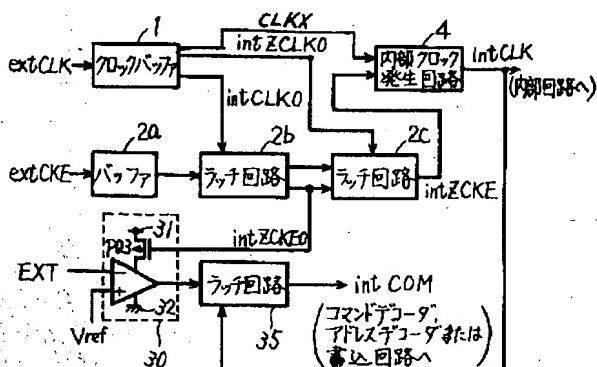
【図2】



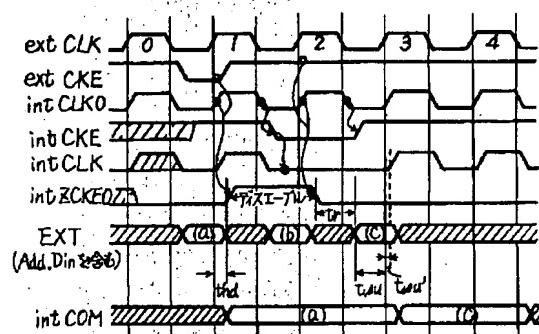
【図3】



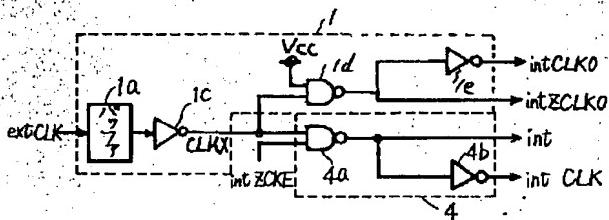
【図 4】



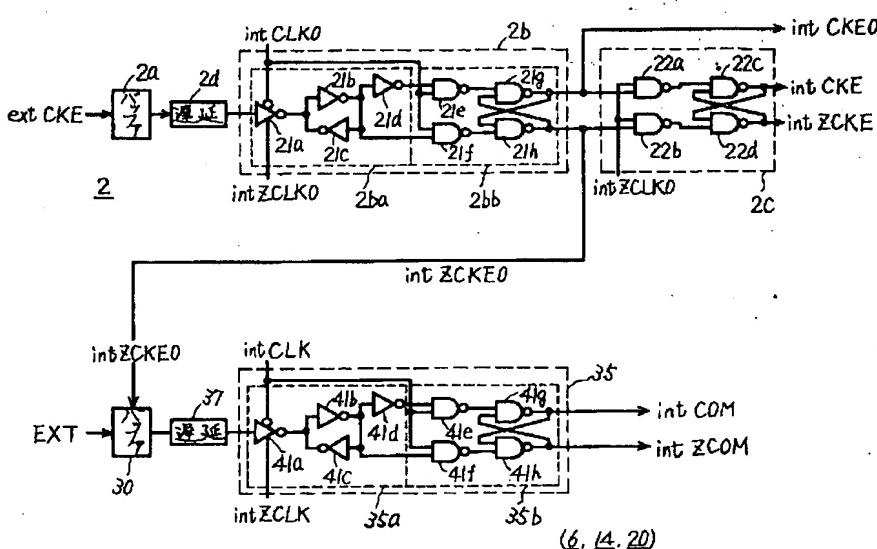
【図 5】



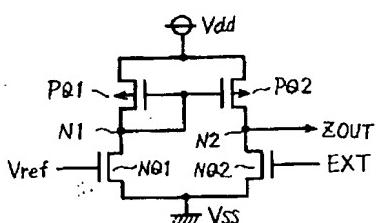
【図 6】



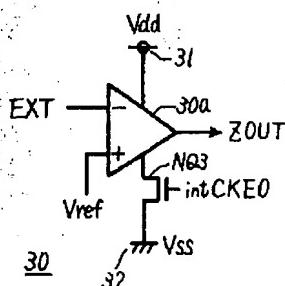
【図 8】



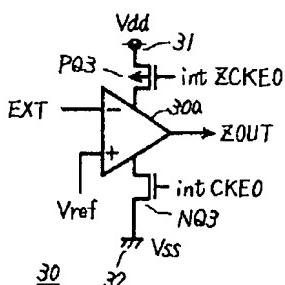
【図 19】



【図 11】



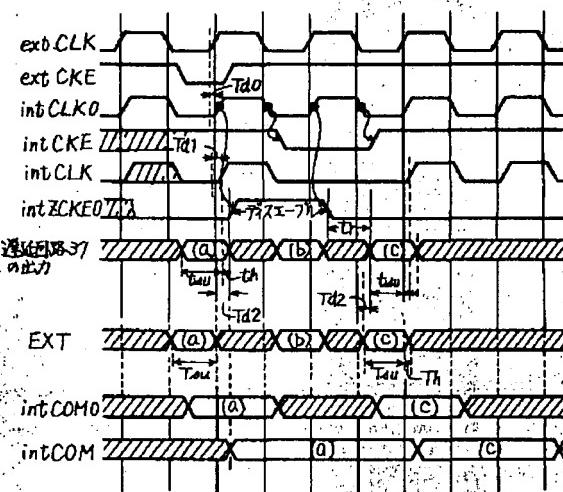
【図 12】



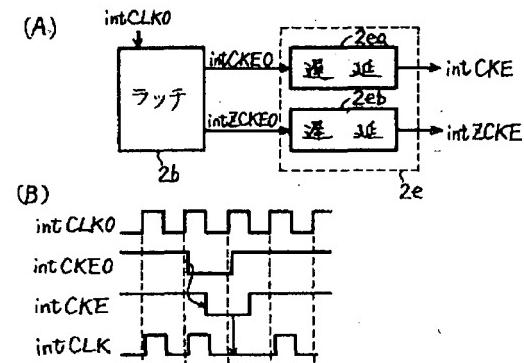
【図 13】

Vdd	P1	P2
DQ	P3	DQ
Vss	P5	Vss
ZWE	P7	P10
ZCAS	P9	VddQ
ZRAS	P11	P12
ZCS	P13	Vref
Ad	P15	P14
Ad	P17	CLK
Ad	P19	CKE
Vdd	P21	P16
	P23	P18
	P22	P20
	P24	Ad
		Vss

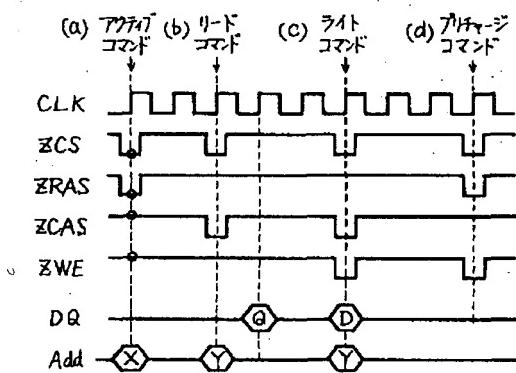
【図9】



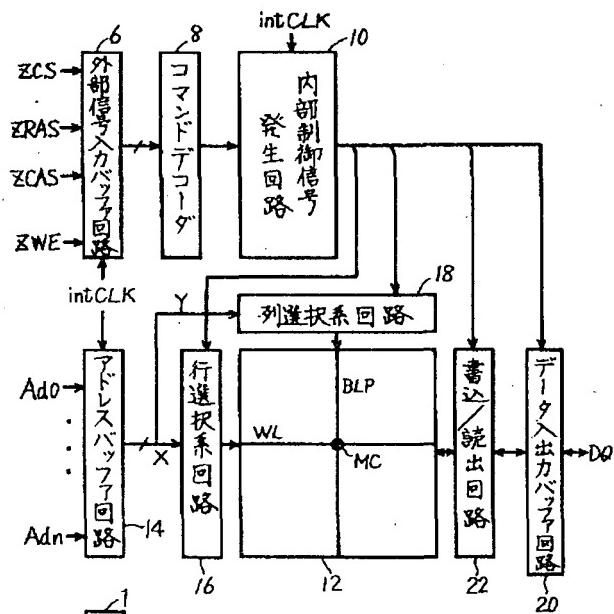
【図10】



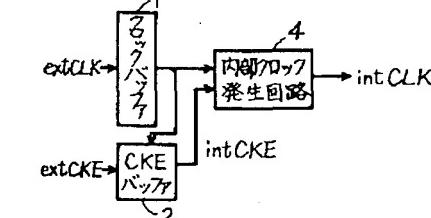
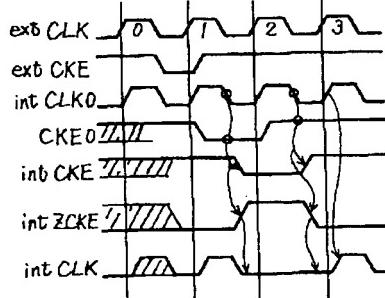
【図14】



【図15】

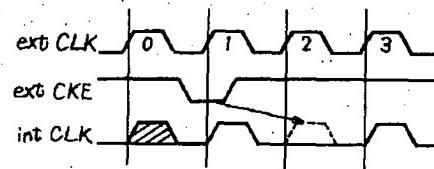


【図18】

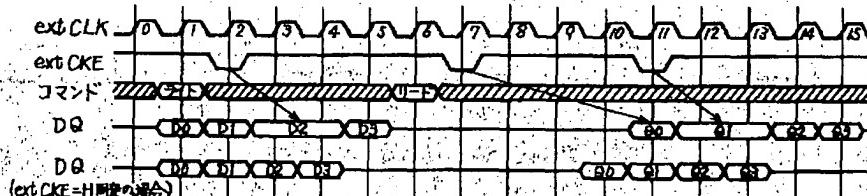


【図16】

(A)

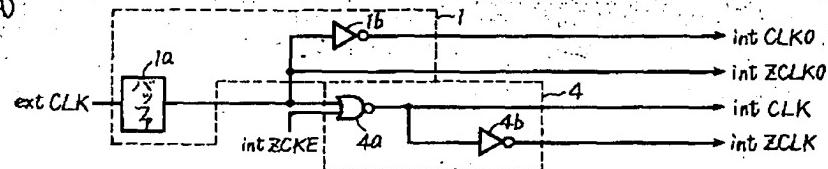


(B)



【図17】

(A)



(B)

